

10.766.848

日本国特許庁
JAPAN PATENT OFFICE

07.20.04

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application: 2003年10月16日

出願番号
Application Number: 特願2003-355902

[ST. 10/C]: [JP 2003-355902]

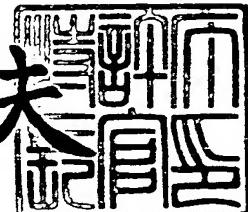
出願人
Applicant(s): 株式会社日立製作所

CERTIFIED COPY OF
PRIORITY DOCUMENT

2004年 1月27日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 340301146
【あて先】 特許庁長官殿
【国際特許分類】 H05K 07/14
 G06F 03/06
【発明者】
【住所又は居所】 神奈川県小田原市中里 322 番 2 号 株式会社日立製作所 R A I
【氏名】 小賀 努
【発明者】
【住所又は居所】 神奈川県小田原市中里 322 番 2 号 株式会社日立製作所 R A I
【氏名】 井上 充
【発明者】
【住所又は居所】 神奈川県小田原市中里 322 番 2 号 株式会社日立製作所 R A I
【氏名】 箕輪 信幸
【特許出願人】
【識別番号】 000005108
【氏名又は名称】 株式会社日立製作所
【代理人】
【識別番号】 100095371
【弁理士】
【氏名又は名称】 上村 輝之
【選任した代理人】
【識別番号】 100089277
【弁理士】
【氏名又は名称】 宮川 長夫
【選任した代理人】
【識別番号】 100104891
【弁理士】
【氏名又は名称】 中村 猛
【手数料の表示】
【予納台帳番号】 043557
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0110323

●)

【書類名】特許請求の範囲**【請求項 1】**

互いに信号を送受信する第1の種類の信号処理基板及び第2の信号処理基板がそれぞれ取り付けられる接続用取付基板において、

基板本体と、

前記基板本体に形成され、前記第1の種類の信号処理基板に接続される第1の信号接続点群と、

前記基板本体に形成され、前記第2の種類の信号処理基板に接続される第2の信号接続点群と、

前記第1の信号接続点群と前記第2の信号接続点群との互いに対応する信号接続点同士をそれぞれ電気的に接続する配線パターン群とを備え、

前記互いに対応する信号接続点同士が、同一平面上において略水平に配置されるように、前記第1の信号接続点群及び前記第2の信号接続点群をそれぞれ形成し、

前記配線パターン群を前記各信号接続点の配置に合わせて略一直線状に形成したことを特徴とする接続用取付基板。

【請求項 2】

前記第1の信号接続点群と前記第2の信号接続点群とは、同一平面上において第1の方向に沿って形成されており、

前記配線パターン群は、前記第1の方向と直交する第2の方向に沿って形成されている請求項1に記載の接続用取付基板。

【請求項 3】

前記基板本体には前記第1の種類の信号処理基板がN1個、前記第2の信号処理基板がN2個それぞれ取り付けられるようになっており、

前記第1の信号接続点群は前記第2の方向に隣接する前記N2個の信号パスグループから構成され、前記第2の信号接続点群は前記第2の方向に隣接する前記N1個の信号パスグループから構成される請求項2に記載の接続用取付基板。

【請求項 4】

前記基板本体は多層化されて形成されており、

前記配線パターン群は、前記基板本体が有する配線層を複数使用して形成されている請求項3に記載の接続用取付基板。

【請求項 5】

前記第1の信号接続点群は前記第2の方向に隣接する複数の第1信号接続列から形成され、

前記第2の信号接続点群は前記第2の方向に隣接する複数の第2信号接続列から形成され、

少なくとも1つ以上の前記第1信号接続列及び前記第2信号接続列からなる接続グループ毎に、それぞれ異なる前記配線層を用いて、前記配線パターン群により接続されている請求項4に記載の接続用取付基板。

【請求項 6】

前記各信号処理基板の前記N2個の各信号パスグループ毎に、それぞれ異なる配線層を用いて、前記配線パターン群により接続されている請求項4に記載の接続用取付基板。

【請求項 7】

前記配線パターン群は、前記互いに対応する信号接続点同士の離間寸法に対して、100%～120%の長さをもって形成されている請求項4に記載の接続用取付基板。

【請求項 8】

前記配線パターン群は、前記互いに対応する信号接続点の近傍を除いて、一直線状に形成されている請求項7に記載の接続用取付基板。

【請求項 9】

メモリ基板とこのメモリ基板との接続を制御するバススイッチ基板とこのバススイッチ基板を介して前記メモリ基板にアクセスするアダプタ基板とがそれぞれ取り付けられるデ

●) イスクアレイ制御装置の接続用取付基板において、
 基板本体と、
 前記基板本体に形成され、前記バススイッチ基板に接続されるバススイッチ信号接続点群と、
 前記基板本体に形成され、前記アダプタ基板に接続されるアダプタ信号接続点群と、
 前記バススイッチ信号接続点群と前記アダプタ信号接続点群との互いに対応する信号接続点同士をそれぞれ電気的に接続する配線パターン群とを備え、
 前記互いに対応する信号接続点同士が、同一平面上において略水平に配置されるように
 、前記バススイッチ信号接続点群及び前記アダプタ信号接続点群をそれぞれ形成し、
 前記配線パターン群を前記各信号接続点の配置に合わせて略一直線状に形成したことを
 特徴とするディスクアレイ制御装置の接続用取付基板。

【請求項10】

接続用取付基板と、
 前記接続用取付基板の一方の面に装着されたメモリ基板と、
 前記一方の面に装着され、前記メモリ基板との接続を制御するバススイッチ基板と、
 前記一方の面に装着され、前記バススイッチ基板を介して前記メモリ基板にアクセスするアダプタ基板とを備え、
 前記接続用取付基板は、
 前記バススイッチ基板に接続されるバススイッチ信号接続点群と、
 前記アダプタ基板に接続されるアダプタ信号接続点群と、
 前記バススイッチ信号接続点群と前記アダプタ信号接続点群との対応する信号接続点同士をそれぞれ電気的に接続する配線パターン群とを有し、
 前記互いに対応する信号接続点同士が、同一平面上において略水平に配置されるように
 、前記バススイッチ信号接続点群及び前記アダプタ信号接続点群がそれぞれ形成されており、
 前記配線パターン群を前記各信号接続点の配置に合わせて略一直線状に形成したことを
 特徴とするディスクアレイ制御装置。

【書類名】明細書

【発明の名称】接続用取付基板及びディスクアレイ制御装置の接続用取付基板

【技術分野】

【0001】

本発明は、複数の信号処理基板が取り付けられる接続用取付基板に関し、例えば、ディスクアレイ制御装置等に用いて好適な接続用取付基板に関する。

【背景技術】

【0002】

例えば、ディスクアレイ装置のような電子機器では、それぞれの機能を実現するための複数の信号処理基板が実装されている。信号処理基板としては、例えば、キャッシュメモリや共有メモリを搭載したメモリ基板、このメモリ基板へのアクセスを制御するバススイッチ基板、このバススイッチ基板を介してメモリ基板にアクセスし、データの読み書きを行うアダプタ基板とが知られている。アダプタ基板は、ホストコンピュータやディスク装置に対してデータの送受を行うためのものである。これらの信号処理基板は、バックプレーンと呼ばれる接続用取付基板にそれぞれ装着される。各信号処理基板は、バックプレーンに形成されたプリント配線を介して電気的に接続される。例えば、1つの従来技術では、バックパネルの両面に複数のプリント基板をそれぞれ装着し、これら各プリント基板同士をバックパネルに形成したプリント配線を介して接続している（特許文献1）。

【特許文献1】特開平11-312854号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

データの受信側となるバススイッチ基板は、複数のアダプタ基板（複数のホストアダプタ基板及び複数のディスクアダプタ基板）に接続されるため、バススイッチ基板が装着されるコネクタの信号ピンは、各アダプタ基板毎のグループに分割される。一方、データ送信側となる各アダプタ基板は、それぞれ共通のインターフェースを備えているため、各アダプタ基板がそれぞれ装着されるコネクタの信号ピンの配置は、共通する。

【0004】

このように、互いに接続されるべきデータ受信側（バススイッチ基板）とデータ送信側（アダプタ基板）とで、信号ピンの位置がそれぞれ異なるため、対応する信号ピン同士を接続するプリント配線は、バックプレーン内で適宜配線方向を変えて形成される。このため、従来技術では、プリント配線が折れ曲がって形成される場合が多く、プリント配線に曲点部が発生する。この曲点部では、放射ノイズが発生しやすい。また、曲点部では、線幅の変化に伴ってインピーダンスが変化するため、信号の反射も生じやすい。従って、プリント配線に曲点部が存在すると、信号品質が低下するおそれがある。特に、ディスクアレイ制御装置は、ディスク装置とホストコンピュータとの間で行われる高速なデータ通信を制御するものであるから、プリント配線の曲点部が高速なデータ通信の品質低下に与える影響は大きい。

【0005】

図10～図13を参照してプリント配線に曲線部が発生する理由を説明する。

図10は、ディスクアレイ制御装置の一部を拡大して示す概略斜視図である。多層のプリント基板として構成されるバックプレーン500には、その前面側に多数のコネクタ501が設けられている。バックプレーン500は、制御ボックス（不図示）内に垂直（Z方向）に設けられる。そして、Z方向に延びるコネクタ501の列は、X方向に離間して複数設けられている。バックプレーン500には、複数種類の基板510, 520がそれぞれ複数枚ずつ装着される。

【0006】

一方の基板510は、例えば、ホストコンピュータまたはディスク装置との間でデータを送受するためのアダプタ基板である。ホストコンピュータと接続されるアダプタ基板は、ホストアダプタ基板またはチャネルアダプタ基板と呼ばれ、ディスク装置に接続される

アダプタ基板は、ディスクアダプタ基板と呼ばれる。ホストアダプタ基板及びディスクアダプタ基板は、それぞれ同一のインターフェース構造を有し、信号のピン配置も同一であるので、以下、両者を総称してアダプタ基板510とする。

【0007】

他方の基板520は、例えば、キャッシュメモリ基板または共有メモリ基板（いずれも図示せず）との接続を制御するバススイッチ基板（またはスイッチ制御基板と呼んでもよい）である。キャッシュメモリ基板への接続を制御するバススイッチ基板は、キャッシュメモリバススイッチ基板と、共有メモリ基板への接続を制御するバススイッチ基板は、共有メモリバススイッチ基板と、それぞれ呼ばれる。ここでは、両者をまとめてバススイッチ基板520と称する。

【0008】

各アダプタ基板510は、各バススイッチ基板520にそれぞれ接続される。このために、各アダプタ基板510の信号処理LSI511から出される信号は、バスグループPG11～PG14として示すように、接続先のバススイッチ基板520毎にまとめられる。同様に、各バススイッチ基板520も各アダプタ基板510にそれぞれ接続されるため、各バススイッチ基板520の信号処理LSI521から出される信号は、バスグループPG21～PG24として示すように、接続先のアダプタ基板510毎にそれぞれまとめられている。

【0009】

各LSI511、521から引き出される信号の出力位置は、それぞれのコネクタ512、522の配設方向（Z方向）に沿っている。各アダプタ基板510、各バススイッチ基板520内で等長配線を容易に実現させるためである。各アダプタ基板510のコネクタ512における信号ピンの配置は、同一である。ここで、各アダプタ基板510のコネクタ512と各バススイッチ基板520のコネクタ522とは、上側から順番に対応している。従って、X方向に隣接する複数のアダプタ基板510とバススイッチ基板520との対応する信号ピン同士を接続する場合、Z方向への調整が必要となり、このZ方向への調整がプリント配線に曲点部を生じさせる。

【0010】

図11に示すように、第1のアダプタ基板510-1のZ方向最上部に引き出されるデータバスグループは、信号コネクタ512-1のうちZ方向最上部のコネクタからバックプレーン500のプリント配線を介して、バススイッチ基板520の最上部の信号コネクタ522に接続される。次に、第1のアダプタ基板510-1とX方向に隣接する第2のアダプタ基板510-2に着目すると、この第2のアダプタ基板510-2のZ方向最上部に引き出されるデータバスは、バススイッチ基板520のZ方向最上部の信号コネクタよりも1つ下側に位置するコネクタに接続されることになる。各アダプタ基板510-1、510-2は、それぞれ同一の信号配置であるため、同一のバススイッチ基板520に接続するためには、バックプレーン500上においてプリント配線をZ方向に調整しなければならない。

【0011】

図12は、N枚のアダプタ基板510とM枚のバススイッチ基板520（バススイッチ基板は1枚のみ図示）とを、バックプレーン500のプリント配線を介して接続する様子を部分的に拡大して示す。図12には、各基板のコネクタが示されている。コネクタ512-11～512-NMは、N枚のアダプタ基板510が装着されるものである。図中右側のコネクタ522-11～522-1Nには、1枚目のバススイッチ基板520が装着されるようになっている。ここで、各コネクタの符号に添えられる数字について説明すると、ハイフン以下の1桁目の数字は基板の番号を示し、2桁目の数字はデータバスグループの番号を示す。従って、コネクタ512-11は、1枚目のアダプタ基板510の1番目のデータバスグループに対応するコネクタであることを示し、コネクタ512-NMは、N枚目のアダプタ基板510のM番目のデータバスグループに対応するコネクタであることを示す。バススイッチ基板520のコネクタ522についても同様である。説明の都

合上、バススイッチ基板用コネクタは1列のみ示しているが、M枚目のバススイッチ基板520のN番目のデータパスグループに対応するコネクタには、符号522-MNが付される。

【0012】

N枚のアダプタ基板510は、M枚のバススイッチ基板520にそれぞれ接続されるようになっている。従って、例えば、1枚目のアダプタ基板用コネクタ512-11～512-1Mに着目すると、1番目のコネクタ512-11は、1枚目のバススイッチ基板用コネクタ522-11に接続される。2番目のコネクタ512-12は、2枚目のバススイッチ基板522-21（不図示）に接続される。以下同様にして、1枚目のアダプタ基板用コネクタ511-1～511-1Nは、全てのバススイッチ基板用コネクタ522-11～M1（522-11以外不図示）にそれぞれ接続される。2枚目のアダプタ基板用コネクタ512-21～512-2Mに着目すると、1番目のコネクタ512-21は、1枚目のバススイッチ基板用コネクタ522-12に接続され、2番目のアダプタ基板用コネクタ512-22は、2枚目のバススイッチ基板用コネクタ522-22（不図示）に接続される。以下同様にして、2枚目のアダプタ基板用コネクタ522-21～522-2Mは、全てのバススイッチ基板用コネクタ522-22～522-M2にそれぞれ接続される。3枚目からN枚目のアダプタ基板用コネクタ（512-31～512-3M）～（512-N1～512-NM）についても同様である（一部のみ図示）。

【0013】

具体的な結線方法について述べる。アダプタ基板用コネクタの信号ピンの配置を（X, Z）座標におき、そのピン数を（Xa, Za）とする。1枚目のアダプタ基板用コネクタの最上部に位置する1番目のコネクタ512-11は、座標（1, 1）から座標（X1a, Z1a）までの信号ピンを有する。一方、バススイッチ基板用コネクタの信号ピンは、座標（1, 1）で始まり座標（Xb, Zb）で終わる。

【0014】

まず、アダプタ基板用コネクタ512-11のデータパスグループの信号を、バススイッチ基板用コネクタ522-11の信号ピンと接続する場合の詳細を述べる。最初に、アダプタ基板用コネクタ512-11の座標（1, 1）に位置する信号ピンを、バススイッチ基板用コネクタ522-11の座標（1, 1）に位置する信号ピンに接続する。この場合、プリント配線パターンが、X軸方向2番目以降の信号ピン（2, 1）～（Xa, 1）の各貫通穴クリアランスに接触しないように、Z1-X1方向（図中右下方向）に45度の角度で配線を引き出し、Z方向上下に位置する各貫通穴クリアランスと接触しない位置で、配線をバススイッチ基板用コネクタ522-11の座標（1, 1）に位置する信号ピン近傍までX1方向に延ばす。そして、配線の終端側をX1-Z2方向（図中右上方向）に45度の角度で曲げ、バススイッチ基板用コネクタ522-11の信号ピン（1, 1）に接続する。即ち、各貫通穴クリアランスと干渉しない位置を選んで、プリント配線を水平方向（X方向）に引き出し、プリント配線の始端側及び終端側ではそれぞれ45度傾けて信号ピンに接続させる。以下同様の方法で、アダプタ基板用コネクタ512-11の各信号ピンを、バススイッチ基板用コネクタ522-11の対応する各信号ピンとそれぞれ接続する。

【0015】

ここで、信号ピン同士の間隔や配線幅の制限により、各貫通穴クリアランス間には所定本数T本までしか配線パターンを通すことができない。以後は、T=2とした場合を例に挙げる。Z方向奇数番目（2n+1番目）に位置する信号ピンの場合は、この信号ピンの下側（Z2側）から配線を引き出す。Z方向偶数番目（2n番目）に位置する信号ピンの場合は、この信号ピンの上側（Z1側）から配線を引き出す。

【0016】

上述の方法に従って、X座標=1の列を構成する各信号ピンについて、Z方向1番目からZ1a（図中ではZaと示す）番目までを、全て配線する。次に、X座標=2の列を構成する各信号ピンについても、同様の方法に従って、バススイッチ基板用コネクタ522

－11の対応する信号ピンと接続する。ここで、既にX座標＝1の列の各信号ピンを接続する配線が、X座標＝2の列を構成する各信号ピンの隙間を通っているので、この配線を避けて接続する必要がある。そこで、X座標＝2の列では、X座標＝1の列の場合とは逆に、Z方向奇数番目（ $2n+1$ 番目）に位置する信号ピンは、この信号ピンの上側を通して配線し、Z方向偶数番目（ $2n$ 番目）に位置する信号ピンは、この信号ピンの下側を通して配線する。

【0017】

次に、X座標＝3の列を構成する各信号ピンについて配線を行う。しかし、既に、X座標＝1、X座標＝2の列を構成する各信号ピンを接続するための配線が通っているので、同一面上で配線することはできない。そこで、X座標＝3及びX座標＝4の各列を構成する各信号ピンについては、X座標＝1及びX座標＝2の各列を構成する各信号ピンの配線に用いた配線層とは異なる別の層を用いる。以後同様に、X座標の値が奇数をとるごとに（ $X=2n+1$ ）、配線層を変えていく。このようにして、アダプタ基板用コネクタ512-11の全ての信号ピンを、バススイッチ基板用コネクタ522-11の対応する信号ピンにそれぞれ接続するためのプリント配線パターンを設定する。

【0018】

以下、各アダプタ基板用コネクタの各信号ピンをバススイッチ基板用コネクタにそれぞれ接続するための配線パターンを設定していく。図7にも拡大して示すように、対応するコネクタ同士のZ方向座標が異なるため、アダプタ基板側コネクタから出る配線の多くは、X方向に引き出された後、Z方向に曲がり、再びX方向に延びてから、バススイッチ基板用コネクタに接続される。従って、各プリント配線がZ方向に延びるためのZ方向調整領域600を予め設ける必要がある。このため、各プリント配線に曲点部がそれぞれ複数発生し、この曲点部が信号品質の劣化の原因となる。また、各配線間には所定のクリアランスを確保する必要があるため、配線数が増大するほど、Z方向の調整領域600の幅は広がっていく。従って、バックプレーン500に装着する基板の数が増えるほど、バックプレーン500の面積も大きくなっている、装置筐体サイズが大型化する。しかし、市場では、設置スペース上の制限等から、ディスクアレイシステムの小型化と高性能化とが強く望まれている。高性能化のためには、バックプレーン500に接続する基板数を増大しなければならないが、そうすると装置筐体サイズが大型化する。従来技術において、装置の小型化と高機能化とはトレードオフの関係にある。

【0019】

本発明は、上記問題点に鑑みてなされたもので、本発明の1つの目的は、信号処理基板の高密度実装を可能とする接続用取付基板及びディスクアレイ制御装置の接続用取付基板を提供することにある。本発明の1つの目的は、装置サイズを大型化することなく信号処理基板の装着数を増加させることができる接続用取付基板及びディスクアレイ制御装置の接続用取付基板を提供することにある。本発明のさらなる目的は、後述する実施の形態の記載から明らかになるであろう。

【課題を解決するための手段】

【0020】

上記課題を解決すべく、本発明に従う接続用取付基板は、互いに信号を送受信する第1の種類の信号処理基板及び第2の信号処理基板がそれぞれ取り付けられる接続用取付基板において、基板本体と、基板本体に形成され、第1の種類の信号処理基板に接続される第1の信号接続点群と、基板本体に形成され、第2の種類の信号処理基板に接続される第2の信号接続点群と、第1の信号接続点群と第2の信号接続点群との互いに対応する信号接続点同士をそれぞれ電気的に接続する配線パターン群とを備え、互いに対応する信号接続点同士が、同一平面上において略水平に配置されるように、第1の信号接続点群及び第2の信号接続点群をそれぞれ形成し、配線パターン群を各信号接続点の配置に合わせて略一直線状に形成したことを特徴とする。

【0021】

第1の種類の信号処理基板（以下、第1信号処理基板）と第2の種類の信号処理基板（

以下、第2信号処理基板)とは、それぞれ少なくとも1つ以上接続用取付基板に取り付けられる。第1信号処理基板と第2信号処理基板とは、同数であってもよいし、それぞれ異なる数であってもよい。接続用取付基板の基板本体には、第1信号処理基板が接続される第1の信号接続点群と、第2信号処理基板が接続される第2の信号接続点群とがそれぞれ所定位置に形成される。これら各接続点群は、例えば、電気的コネクタの信号ピンとして構成される。ここで、第1の信号接続点群と第2の信号接続点群とは、互いに対応する信号接続点同士が同一平面上において略水平に配置されるようにして、それぞれ形成されている。従って、第1の信号接続点群と第2の信号接続点群とを接続する配線パターン群を、略一直線状に形成することができる。ここで、配線パターン群を略一直線状に形成するとは、配線パターン群が実質的に直線状に形成されることを意味し、例えば、配線パターン群の配線長の両端部を除く大部分が直線として形成される場合を示す。

【0022】

本発明の一態様では、第1の信号接続点群と第2の信号接続点群とは、同一平面上において第1の方向に沿って形成されており、配線パターン群は、第1の方向と直交する第2の方向に沿って形成されている。

第1、第2の信号接続点群は、それぞれ複数の信号接続点から構成可能である。そして、例えば、複数の信号接続点が第1の方向に一列に並ぶようにして信号接続点群を形成可能である。あるいは、複数の信号接続点を第1の方向にそれぞれ並べて構成された複数の列から、信号接続点群を形成することもできる。1つの信号接続点群を複数の信号接続点列から構成する場合、各列の位置を第1の方向に若干ずらして配置してもよい。

【0023】

本発明の一態様では、基板本体には第1信号処理基板がN1個、第2信号処理基板がN2個それぞれ取り付けられるようになっており、第1の信号接続点群は第2の方向に隣接するN2個の信号バスグループから構成され、第2の信号接続点群は第2の方向に隣接するN1個の信号バスグループから構成される。

各信号接続点群を第2の方向に隣接する信号バスグループから構成することにより、配線パターン群を第2の方向に略一直線状に形成することができる。

【0024】

本発明の一態様では、基板本体は多層化されて形成されており、配線パターン群は、基板本体が有する配線層を複数使用して形成されている。

即ち、接続用取付基板は、例えば、数十の配線層を積層することにより構成され、各配線層に配線パターン群を構成する各配線パターンをそれぞれ形成することができる。

【0025】

本発明の一態様では、第1の信号接続点群は第2の方向に隣接する複数の第1信号接続列から形成され、第2の信号接続点群は第2の方向に隣接する複数の第2信号接続列から形成され、少なくとも1つ以上の第1信号接続列及び第2信号接続列からなる接続グループ毎に、それぞれ異なる配線層を用いて、配線パターン群により接続されている。

配線パターン群は、各接続グループ毎の配線パターンから構成されており、これら各接続グループ毎の配線パターンは、各配線層にそれぞれ形成されている。即ち、例えば、ある配線層はある接続グループの配線のために用いられ、他の配線層は他の接続グループの配線のために用いられる。なお、各配線層において、複数の接続グループを配線することもできる。また、基板本体の全配線層に配線パターンが形成される必要はない。1つ以上の未配線の配線層が含まれていてもよい。

【0026】

本発明の一態様では、各信号処理基板のN2個の各信号バスグループ毎に、それぞれ異なる配線層を用いて、配線パターン群により接続されている。

この場合は、信号バスグループと接続グループとが一致する。そして、各配線層毎にそれぞれ異なる信号バスグループに対応する配線パターンが形成される。

【0027】

本発明の一態様では、配線パターン群は、互いに対応する信号接続点同士の離間寸法に

対して、100%～120%の長さをもって形成されている。

即ち、対応する信号接続点同士の離間寸法をLとした場合、これら各信号接続点を接続する配線パターンの配線長PLは、Lの1倍～1.2倍の長さとなる（ $L \leq PL \leq 1.2L$ ）。配線パターンを一直線状に形成できる場合は、配線長PLと離間寸法Lとは実質的に等しくなる。しかし、例えば、信号接続点の列が複数存在し、これら信号接続点の列が第2の方向に並んでいるような場合には、干渉を避けるために、配線パターンの端部を若干迂回させて形成しなければならない。この場合、配線長PLは、離間寸法Lよりも大きくなるが、離間寸法Lの1.2倍を超えることはない。

【0028】

本発明の一態様では、配線パターン群は、互いに対応する信号接続点の近傍を除いて、一直線状に形成されている。

信号接続点の近傍では、貫通穴クリアランスで干渉を避けるために、例えば、配線パターンの端部を一直線以外の斜線等で形成する。

【0029】

本発明の他の観点に従うディスクアレイ制御装置の接続用取付基板は、モリ基板とこのメモリ基板との接続を制御するバススイッチ基板とこのバススイッチ基板を介してメモリ基板にアクセスするアダプタ基板とがそれ取り付けられるディスクアレイ制御装置の接続用取付基板において、基板本体と、基板本体に形成され、バススイッチ基板に接続されるバススイッチ信号接続点群と、基板本体に形成され、アダプタ基板に接続されるアダプタ信号接続点群と、バススイッチ信号接続点群とアダプタ信号接続点群との互いに対応する信号接続点同士をそれぞれ電気的に接続する配線パターン群とを備え、互いに対応する信号接続点同士が、同一平面上において略水平に配置されるように、バススイッチ信号接続点群及びアダプタ信号接続点群をそれぞれ形成し、配線パターン群を各信号接続点の配置に合わせて略一直線状に形成したことを特徴とする。

【0030】

ディスクアレイ制御装置は、ディスクアレイサブシステムの動作を制御する。ディスクアレイサブシステムは、複数のホストコンピュータに対し、それぞれ個別の記憶領域を提供するために、複数の（通常は多数の）ディスク装置を管理する。従って、ディスクアレイ制御装置は、複数のホストコンピュータとの間でデータを送受するためのインターフェース基板（ホストアダプタ基板）と、複数のディスク装置との間でデータを送受するインターフェース基板（ディスクアダプタ基板）と、データの一時保存等を行うためのメモリ基板と、メモリ基板と各アダプタ基板との間の接続を制御するバススイッチ基板とを備えている。これらの各種基板は、所定の配線パターン群が形成された接続用取付基板の所定位置にそれぞれ装着されることにより、電気的に接続される。各種基板を取り付けた接続用取付基板は、所定サイズの筐体に収容される。このように、ディスクアレイ制御装置では、複数種類の基板が接続用取付基板に取り付けられて接続され、かつ、筐体サイズには制限が課せられている。対応する信号接続点同士を同一平面上で略水平に配置し、配線パターン群を略一直線状に形成することにより、限られた空間内に多数の基板を効率よく収容して電気的に接続することができる。

【0031】

本発明のさらに別の観点に従うディスクアレイ制御装置は、接続用取付基板と、接続用取付基板の一方の面に装着されたメモリ基板と、一方の面に装着され、メモリ基板との接続を制御するバススイッチ基板と、一方の面に装着され、バススイッチ基板を介してメモリ基板にアクセスするアダプタ基板とを備え、接続用取付基板は、バススイッチ基板に接続されるバススイッチ信号接続点群と、アダプタ基板に接続されるアダプタ信号接続点群と、バススイッチ信号接続点群とアダプタ信号接続点群との対応する信号接続点同士をそれぞれ電気的に接続する配線パターン群とを有し、互いに対応する信号接続点同士が、同一平面上において略水平に配置されるように、バススイッチ信号接続点群及びアダプタ信号接続点群がそれぞれ形成されており、配線パターン群を各信号接続点の配置に合わせて略一直線状に形成したことを特徴とする。

【発明を実施するための最良の形態】

【0032】

以下、図1～図9に基づき、本発明の実施の形態を、ディスクアレイサブシステムのディスク制御部に適用する場合を例に挙げて説明する。まず、ディスクアレイサブシステムの全体構成を説明し、次に、各種基板の取付状態を説明する。

【実施例1】

【0033】

図1は、ディスクアレイサブシステムの機能構成を示す概略ブロック図である。ディスクアレイサブシステムは、ディスクアレイ制御部10と、ディスク装置20とに大別することができる。ディスクアレイサブシステムは、ホスト装置1からの要求に応じて、ディスク装置20にデータを書き込んだり、ディスク装置20からデータを読み出してホスト装置1に転送する。

【0034】

各ホスト装置1は、例えば、CPU(Central Processing Unit)やメモリ等を備えたコンピュータシステムである。各ホスト装置1は、例えば、パーソナルコンピュータ、ワークステーション、メインフレーム、携帯情報端末として構成される。各ホスト装置1は、HBA(Host Bus Adapter)1Aを介して、SAN(Storage Area Network)2に接続されている。ホスト装置1は、SAN2を介してディスクアレイサブシステムとそれぞれ接続され、データの送受信を行う。図中では2台のホスト装置1を示しているが、実際には多数のホスト装置1がディスクアレイサブシステムを利用可能である。ホスト装置1とディスクアレイサブシステムとの接続は、SANに限らず、例えば、LAN(Local Area Network)や専用線等のような他のネットワークを利用することができる。

【0035】

ディスクアレイ制御部10は、ディスクアレイサブシステムの動作を制御する。ディスクアレイ制御部10は、複数のチャネルアダプタ20と、複数のディスクアダプタ40と、キャッシュメモリ50と、共有メモリ60と、キャッシュメモリバススイッチ70と、共有メモリバススイッチ80と、図示せぬ管理端末等を含んでいる。

【0036】

各チャネルアダプタ30は、ホスト装置1との間のデータ授受を行うもので、ホストアダプタとも呼ばれる。各チャネルアダプタ30は、それぞれに接続されるホスト装置1と通信を行うための通信インターフェースと、ホスト装置1から受信した各種コマンドを解釈して処理するためのコマンドプロセッサ機能とを備える。各チャネルアダプタ30は、各ホスト装置1からのデータ入出力要求をそれぞれ個別に受け付ける。なお、ゾーニング等の技術により、各ホスト装置1は、アクセス権限のある論理ユニットにのみアクセス可能となっている。

【0037】

各ディスクアダプタ40は、ディスク装置20との間でデータ授受を行う。例えば、ホスト装置1がチャネルアダプタ20を介してデータの書込みを要求した場合、ディスクアダプタ40は、この書込みコマンドに基づいて、記憶領域の所定アドレスにデータを書き込む。書き込むべきデータはキャッシュメモリ50に記憶され、書込みコマンドは共有メモリ60に記憶される。ディスクアダプタ40は、共有メモリバススイッチ80を介して共有メモリ60にアクセスし、書込みコマンドが発行されていることを知る。そして、ディスクアダプタ40は、キャッシュメモリバススイッチ70を介してキャッシュメモリ50にアクセスし、キャッシュメモリ50から書き込むべきデータを読み出す。ディスクアダプタ40は、キャッシュメモリ50から読み出したデータをディスク装置20に記憶させる。この際、ディスクアダプタ40は、ホスト装置1により指定された論理アドレスを物理アドレスに変換することにより、論理ボリュームに対するデータ書込み要求を物理ディスクへのデータ書込み要求に変換する。ホスト装置1からデータ読み出しが要求された場合、ディスクアダプタ40は、アドレス変換を行って、指定されたデータをディスク装置20から読み出し、この読み出したデータをキャッシュメモリ50に記憶させる。キャ

ツシュメモリ50に記憶されたデータは、キャッシュメモリバススイッチ70からチャネルアダプタ30を介して、ホスト装置1に転送される。

【0038】

キャッシュメモリ50及び共有メモリ60は、各チャネルアダプタ30及び各ディスクアダプタ40によって共有される内部メモリである。キャッシュメモリ50には、主としてホスト装置1から受信したデータやディスク装置20から読み出されたデータが記憶される。共有メモリ60には、主として制御情報やコマンド等が格納される。また、共有メモリ60にはワーク領域等としても使用される。キャッシュメモリ50は、キャッシュメモリバススイッチ（以下、CSWと略記）70を介して、各チャネルアダプタ30及び各ディスクアダプタ40に接続される。共有メモリ60は、共有メモリバススイッチ（以下、SSWと略記）80を介して、各チャネルアダプタ30及び各ディスクアダプタ40に接続される。各バススイッチ70, 80は、例えば、クロスバススイッチ等から構成することができる。

【0039】

ディスク装置20は、多数のディスク記憶装置21をアレイ状に配設して構成されており、ホスト装置1に対して例えばRAID (Redundant Array of Independent Disks)により管理される記憶領域を提供するものである。ディスク記憶装置としては、例えば、ハードディスク装置、フレキシブルディスク装置、光ディスク装置、半導体記憶装置等の種々のデバイスを用いることができる。各ディスク記憶装置21の物理的な記憶領域上には論理的な記憶領域（論理ボリューム）が形成され、少なくとも1つ以上の論理ボリュームが各ホスト装置1に提供される。

【0040】

なお、上述した各機能30～80はそれぞれ個別の信号処理基板として提供されるために、以下の説明では、各ディスクアダプタ40の基板をDKA基板40と、各チャネルアダプタ30の基板をCHA基板30と、キャッシュメモリ50の基板をCM基板50と、共有メモリ60の基板をSM基板60と、CSW70の基板をCSW基板70と、SSW80の基板をSSW基板80と、呼ぶこととする。

【0041】

上述のように、ディスクアレイサブシステムでは、確実なデータ入出力を保証するために、冗長構造を採用する。即ち、ディスク装置20の記録領域をRAIDによって管理するほかに、各種の基板30～80を、通常、それぞれ複数枚ずつ設ける。これにより、いずれか1つのデータパスに障害が発生した場合でも、他のデータパスを介してデータを出入力できるようになっている。従って、ディスクアレイ制御部10は、通常の家庭電気製品等とは異なり、多種類の基板をそれぞれ複数ずつ備えなければならないという特徴を有している。

【0042】

次に、図2は、ディスクアレイサブシステムの外観構成を示す。ディスクアレイサブシステムは、図中中央部に位置するディスクアレイ制御部10と、ディスクアレイ制御部10の両側にそれぞれ複数個設けられたディスク装置20とから構成される。ディスクアレイ制御部10とディスク装置20の各ディスクアダプタ40とは、例えば、ファイバケーブルを介して接続されており、ファイバチャネルプロトコルに基づくロック転送によりデータを送受信するようになっている。

【0043】

図3は、ディスクアレイ制御部10の外観構成を示す。ディスクアレイ制御部10は、筐体フレーム200と、筐体フレーム200の下部に設けられた電源ユニット210と、電源ユニット210の上側に設けられた制御ボックス220と、筐体フレーム200の上部に設けられた冷却ファン部230とを備えており、無休止運転可能となっている。制御ボックス220は、CHA基板30、DKA基板40、CM基板50、SM基板60、CSW基板70及びSSW基板80を収容する筐体である。制御ボックス220は、多数の基板を収容するために、その前後からそれぞれ複数の基板を平行に収容できる構造とな

っている。

【0044】

図4は、制御ボックス220内の概略構造を示す。制御ボックス220の中央部には、制御ボックス220内を2つの空間に仕切るようにして、2枚のバックプレーン90が背中合わせで取り付けられている。各バックプレーン90は、それぞれ24層または28層等のような多層基板として構成されている。上述のように、制御ボックス220の前面及び後面はそれぞれ開口しており、前側の開口部から前側のバックプレーン90に各種基板を垂直に取り付けることができ、後側の開口部から後側のバックプレーン90に各種基板を垂直に取り付けることができるようになっている。バックプレーン90の表面には、各種基板を取り付けるためのコネクタ91が設けられている。バックプレーン90には、各種基板を取り付けるための実装領域90A～90Cが予め設定されている。各実装領域90A～90Cには、それぞれ予定された種類の基板のみを取り付けることができる。実装領域90Aには、CSW基板70及びSSW基板80が装着され、実装領域90Bには、CHA基板30が装着され、実装領域90CにはDKA基板40が装着される。なお、CM基板50及びSM基板60は、実装領域90Aに装着される。同一種類の基板同士では、実装位置に互換性を有する。例えば、実装領域90Cにおいて、各DKA基板40は、どのコネクタ91に実装してもよい。

【0045】

図5は、バックプレーン90におけるデータバスの論理的な接続図である。各基板30～80は、それぞれ所定のコネクタ91を介して所定の実装領域90A～90Cに実装され、バックプレーン90の各層にわたって形成された配線パターン群SPを介して、電気的に接続されている。図5中では、CHA基板30、DKA基板40、CSW基板70、SSW基板80をそれぞれ2枚ずつ示し、-1、-2の添え字により区別している。但し、説明の便宜上、各種の基板数を2枚とするだけで、実際には、例えば、4枚、8枚、あるいはそれ以上の枚数で基板がバックプレーン90に実装される。なお、符号31, 41, 71, 81は、それぞれの基板での主要な信号処理を実行するLSIである。また、符号51及び61はメモリモジュールを示す。このように、バックプレーン90には、多数の基板30～80間をそれぞれ接続するための配線を形成する必要がある。

【0046】

各CHA基板30は、各CSW基板70及び各SSW基板80に接続される。各DKA基板40も、各CSW基板70及び各SSW基板80に接続される。各CSW基板70は、各CHA基板30及び各DKA基板40にそれぞれ接続されると共に、CM基板50に接続される。各SSW基板80も、各CHA基板30及び各DKA基板40にそれぞれ接続されると共に、SM基板60に接続されている。

【0047】

図6は、図5中の配線の一部を抜き出して示すものである。図中左側のDKA基板40-1は、配線パターンP11を介して一方のCSW基板70-1に接続されると共に、配線パターンP12を介して他方のCSW基板70-2に接続される。また、DKA基板40-1は、配線パターンP13を介して一方のSSW基板80-1に接続されると共に、配線パターンP14を介して他方のSSW基板80-2に接続される。図中右側のCHA基板30-1は、配線パターンP41を介して一方のCSW基板70-1に接続されると共に、配線パターンP42を介して他方のCSW基板70-2に接続される。また、CHA基板30-1は、配線パターンP43を介して一方のSSW基板80-1に接続されると共に、配線パターンP44を介して他方のSSW基板80-2に接続される。なお、CSW基板70への配線パターンP11, P12, P41, P42をCバスと、SSW基板80への配線パターンP13, P14, P43, P44をSバスと、それぞれ呼ぶことができる。

【0048】

図7は、バックプレーン90にアダプタ基板310及びバススイッチ基板320を装着する様子を示す。アダプタ基板310は、CHA基板30及びDKA基板40の総称であ

り、バススイッチ基板320は、CSW基板70及びSSW基板80の総称である。各アダプタ基板310は、信号処理LSI311及びコネクタ312を有する。同様に、各バススイッチ基板320は、信号処理LSI321及びコネクタ322を有する。各コネクタ312、322には、LSI311、321から引き出された複数の配線パターンが接続されている。そして、各コネクタ312、322は、バックプレーン90に設けられた所定のコネクタ91とそれぞれ嵌合する。これにより、各基板310、320は、バックプレーン90の配線パターンと電気的に接続される。本実施例では、後述するように、同一の基板に係わる各データパスグループを各基板の配設方向であるX方向に平行に並べて配置し、アダプタ基板とバススイッチ基板の対応する信号ピン同士の形成位置を信号ピンの配設方向であるZ方向に揃えるようになっている。

【0049】

図8は、バックプレーン90の一部を拡大して示す平面図である。図8では、バックプレーン90に実装される各コネクタ91の信号ピンの配置と、各信号ピンを結ぶ配線パターン等とが示されている。なお、図中では、発明の理解のために、コネクタ91の符号に代えて、各コネクタ91に装着される基板310、320の符号を用いている。また、以下では、N枚のアダプタ基板310と、M枚のバススイッチ基板320とをバックプレーン90に実装する場合を挙げて説明する。説明の都合上、バススイッチ基板320は、第1枚目の基板320-1のみを図示し、残りのバススイッチ基板320は省略する。

【0050】

アダプタ基板用コネクタの信号ピンは、X方向にXa個、Z方向にZa個あり、合計ピン数は $(X_a \times Z_a)$ 個となる。また、バススイッチ基板用コネクタの信号ピンは、X方向にXb個、Z方向にZb個あり、合計ピン数は $(X_b \times Z_b)$ 個となる。本発明のプリント配線方式をより効率的に実施するためには、アダプタ基板用コネクタのZ方向ピン数Zaとバススイッチ基板用コネクタのZ方向ピン数との間に、 $Z_b \geq Z_a$ の関係が成立するのが好ましい。

【0051】

M枚のバススイッチ基板320は、N枚全てのアダプタ基板310とそれぞれ接続される。換言すれば、N枚のアダプタ基板310は、M枚のバススイッチ基板320に接続される。従って、各バススイッチ基板用コネクタは、全てのアダプタ基板310からの信号を受信するのに必要な数の信号ピンを有する。また、各アダプタ基板用コネクタの信号ピンは、M個のデータパス群に、各バススイッチ基板用コネクタの信号ピンは、N個のデータパス群に、それぞれ分割される。

【0052】

図中左側に示す1枚目のアダプタ基板310-1用のコネクタに着目する。このコネクタの信号ピン群は、PG1-1からPG1-MまでのM個のデータパス群にグループ化されている。各データパス群PG1-1～PG1-Mは、それぞれZ方向に延びて形成され、かつ、X方向に隣接している。アダプタ用基板310-1用コネクタは、各データパス群PG1-1～PG1-Mにより、M枚のバススイッチ基板320にそれぞれ接続されるようになっている。即ち、第1のデータパス群PG1-1は1枚目のバススイッチ基板310-1に接続され、第2のデータパス群PG1-2は2枚目のバススイッチ基板（図示せず。符号を付す場合、320-2となる）に接続され、M番目のデータパス群PG1-Mは、M番目のバススイッチ基板（図示せず。符号を付す場合、320-Mとなる）に接続される。

【0053】

他のアダプタ基板320-2～320-N用コネクタについても同様である。例えば、2枚目のアダプタ基板320-2用コネクタの信号ピン群も、M個のデータパス群PG2-1～PG2-Mにグループ化されており、これら各データパス群PG2-1～PG2-Mを介して、M個のバススイッチ基板320にそれぞれ接続される。N枚目のアダプタ基板用コネクタ310-Nも同様に、その信号ピン群はPGN-1～PGN-MのM個のデータパス群にグループ化されており、これら各データパス群PGN-1～PGN-Mを介

して各バススイッチ基板320にそれぞれ接続されている。

【0054】

従って、図中右側に示す1枚目のバススイッチ基板320-1用コネクタの信号ピン群は、各アダプタ基板310-1～310-N用コネクタにそれぞれ対応する第1のデータパス群PG1-1～PGN-1にグループ化されている。同様に、2枚目の各バススイッチ基板用コネクタの信号ピン群は、各アダプタ基板310-1～310-N用コネクタの2番目のデータパス群PG1-2～PGN-2にグループ化されている。同様の関係は、M枚目のバススイッチ基板用コネクタまで適用される。

【0055】

そして、各アダプタ基板310-1～310-N用コネクタのデータパス群と各バススイッチ基板320用コネクタの対応するデータパス群とは、それぞれ配線パターン群により接続されている。1枚目のバススイッチ基板320-1用コネクタに着目すると、第1のデータパス群PG1-1は、配線パターン群P1-1を介して接続される。第2のデータパス群PG2-1は、配線パターン群P2-1を介して接続される。以下同様に、N番目のデータパス群PGN-1は、配線パターン群PN-1を介して接続される。

【0056】

ここで、注目すべきは、各配線パターン群P1-1～PN-1は、それぞれ略一直線状に形成されており、Z方向の位置調整が殆ど存在しない点にある。より詳しくは、各配線パターン群P1-1～PN-1の両端部近傍では、それぞれ所定方向に45度曲げて、信号ピンに接続するため、厳密な意味では一直線状となっていない。しかし、配線長のうち両端部近傍を除く大部分は一直線状に形成される。従って、本実施例では、対応する信号ピン同士を接続する配線パターンの配線長は、これら対応する信号ピン同士の離間寸法Lとほぼ等しいか、あるいは所定範囲内に収まる。例えば、1枚目のアダプタ基板310-1用コネクタと1枚目のバススイッチ基板320-1用コネクタに着目すると、第1のデータパス群PG1-1を接続する配線パターン群P1-1の配線長LP1-1は、対応する信号ピン同士の離間寸法L1の1.2倍以内に収まっている ($L_1 \leq L_{P1-1} \leq 1.2 \times L_1$)。

【0057】

次に、配線方法について述べる。まず、1枚目のアダプタ基板310-1用コネクタの第1のデータパスグループPG1-1を、バックプレーン90内に形成する配線パターン群P1-1により接続する。最初に、X座標=1の列の信号ピンから接続する。バックプレーン90の表面、即ち、コネクタ実装表面層には、各コネクタ310-1～N等が実装されているため、配線パターンを形成しないものとする。そこで、次の配線可能層において、アダプタ基板310-1用コネクタの信号ピン(1, 1)と、バススイッチ基板320-1用コネクタの信号ピン(1, 1)とをプリント配線により接続する。ここで、まず、アダプタ基板310-1用コネクタの信号ピン(1, 1)からX1-Z1方向に45度斜めに配線を引き出し、信号ピンの貫通穴クリアランスに接触しないようにして、X1方向に延設する。そして、バススイッチ基板320-1用コネクタの信号ピン(1, 1)近傍で、X1-Z2方向に45度配線を傾けてバススイッチ側の信号ピン(1, 1)に接続させる。

【0058】

同様に、アダプタ基板310-1用コネクタの信号ピン(1, 2)と、この信号ピンに対応するバススイッチ基板320-1用コネクタの信号ピン(1, 2)も配線の両端部近傍では45度の角度で斜めに形成し、それ以外の部分をX方向に沿って一直線状に形成することにより接続する。但し、45度の引き出し方向は、逆となる。即ち、アダプタ基板310-1用コネクタ側ではX1-Z2方向に45度傾き、バススイッチ基板320-1用コネクタ側では、X1-Z1方向に45度傾ける。なお、信号ピンの貫通穴クリアランス間には、それぞれ2本までの配線パターンを形成可能とする。このようにして、X座標=1の列の信号ピンを、Z座標=1からZ座標=Zaまでそれぞれ配線する。

【0059】

● 次に、X座標=2の列に移る。この場合も、X座標=1の列を配線したのとほぼ同様に、配線の両端部近傍で45度所定方向に斜めに形成し、他の部分をX方向に沿って一直線状に形成する。

【0060】

X座標=3の列の配線は、X座標=1及びX座標=2の信号ピン列で使用された配線層とは異なる別の配線層で、実現される。本実施例では、貫通穴クリアランス間を最大2本までのプリント配線が通過可能と設定しているためである。X座標=3及びX座標=4の列の配線は、X座標=1及びX座標=2の場合と同様に行われる。以下、X座標が奇数を取る毎に、バックプレーン90の配線層を変更する。このようにして、全てのアダプタ基板310-1用コネクタの信号ピン群と、対応するバススイッチ基板用コネクタの信号ピン群とを、複数の配線層を用いてそれぞれ接続する。

【0061】

ここで、本実施例では、各データパス群の信号ピンを、X方向に隣接する2つの列からそれぞれ構成するため、各データパス群毎にそれぞれ異なる配線層を用いて接続されることになる。逆に言えば、バックプレーン90の各配線層には、同一のデータパス群に属する配線パターン群のみを形成可能である。

【0062】

本実施形態は以上詳述したように、対応する信号ピン同士の形成位置をZ方向の同一位置に揃えたので、即ち、対応する信号ピン同士が同一平面で水平となるように配置しているので、対応する信号ピン同士を接続するための配線パターンのZ方向への調整量を従来よりも少なくすることができ、配線パターン群を、その両端部近傍を除いて一直線状に形成できる。従って、両端部近傍以外で配線パターンを曲げる必要性が無く、曲点の発生を抑制することができる。これにより、曲点におけるインピーダンス変化によって信号が反射したり、曲点から放射ノイズが発生等するのを低減することができる。さらに、配線パターン群を略一直線状に形成するため、対応する信号ピン同士の離間寸法の1.2倍以内に配線長を抑えることができる。従って、これらの曲点の発生防止及び配線長の短縮化により、伝送損失を低減し、高品質な信号伝送を実現することができる。さらに、Z方向の調整領域が不要となるため、バックプレーン90の面積を増大させずに、より多数の基板を実装することができる。

【0063】

この点について、図9の模式図を参照して説明する。本実施例に従う場合は、図9(a)に示すように、各アダプタ基板AN1～AN4の各データパス群を構成する信号ピンと、対応するバススイッチ基板BM1, BM2の信号ピンとが水平に配置されるので、配線パターンを略一直線状に形成可能である。これに対し、図9(b)に示すように、対応する信号ピンの位置を水平に揃えない場合は、各配線パターンの途中でZ方向の位置調整を行う必要があり、配線長が信号ピン同士の離間寸法に比べて長くなる(配線長>1.2×信号ピンの離間寸法)上に、曲点部が多数発生する。従って、図9(b)の場合は、高品質な信号伝送が難しく、また、Z方向へ配線パターン群を引き回す分だけ、バックプレーンの幅(X方向長さ)が長くなり、高密度に基板を実装するのが難しい。

【0064】

なお、本発明は、上述した実施の形態に限定されない。当業者であれば、本発明の範囲内で、種々の追加や変更等を行うことができる。例えば、本実施形態では、各データパス群を構成する信号ピンをZ方向にそれぞれ一列に配置したが、これに限らず、例えば、千鳥配列のように、X方向に隣り合う信号ピンの列をZ方向に所定寸法だけずらして配置してもよい。また、本発明は、複数種類の基板が使用され、かつ冗長構造を実現するために各種の基板がそれぞれ複数個ずつ使用されるディスクアレイ制御部のバックプレーンに用いて好適であるが、このような特徴を備えた他の電子機器用バックプレーンにも適用することができる。

【図面の簡単な説明】

【0065】

【図1】本発明の実施例に係るディスクアレイサブシステムの全体を示すブロック図である。

【図2】ディスクアレイサブシステムの外観を示す斜視図である。

【図3】ディスクアレイ制御部の外観を示す斜視図である。

【図4】ディスクアレイ制御部の制御ボックスの概略構造を示す説明図である。

【図5】バックプレーンに装着される各種基板の論理的接続を示す説明図である。

【図6】図5中の配線パターンの一部を抜き出して示す説明図である。

【図7】バックプレーンに装着されるアダプタ基板及びバススイッチ基板とコネクタとの関係を示す斜視図である。

【図8】バックプレーンに実装される各コネクタの信号ピン群と配線パターン群との関係を示す概略平面図である。

【図9】本実施例に従うプリント配線構造と他の方法に従うプリント配線構造とを比較して示す模式図である。

【図10】信号ピン群をZ方向に分割した場合の例を示し、バックプレーンに各種基板を装着する様子を示す斜視図である。

【図11】Z方向に配線パターンの位置調整が必要になることを示す斜視図である。

【図12】バックプレーンに実装される各信号ピン群と配線パターン群との関係を示す概略平面図である。

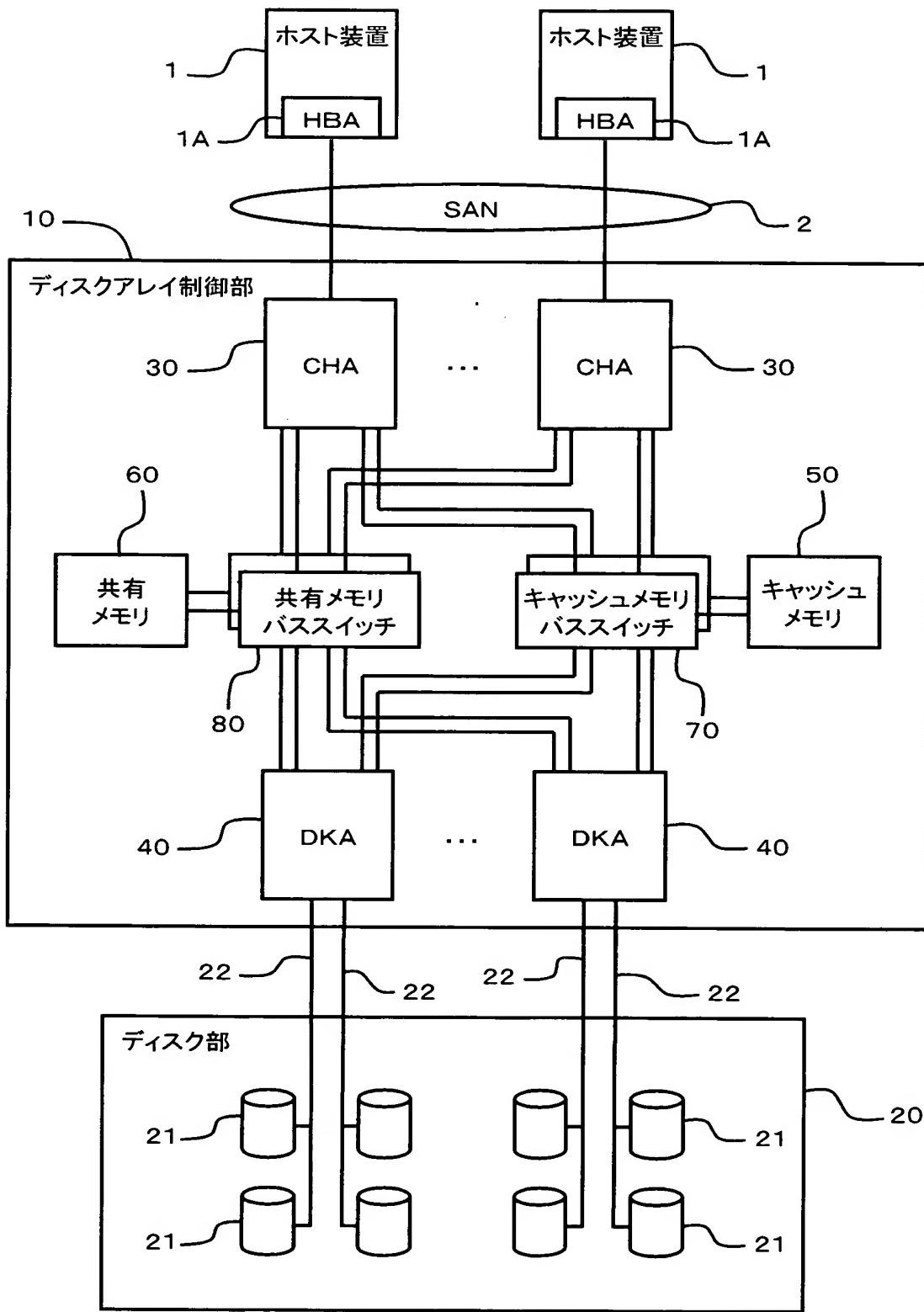
【図13】図12中の一部を拡大して示す平面図である。

【符号の説明】

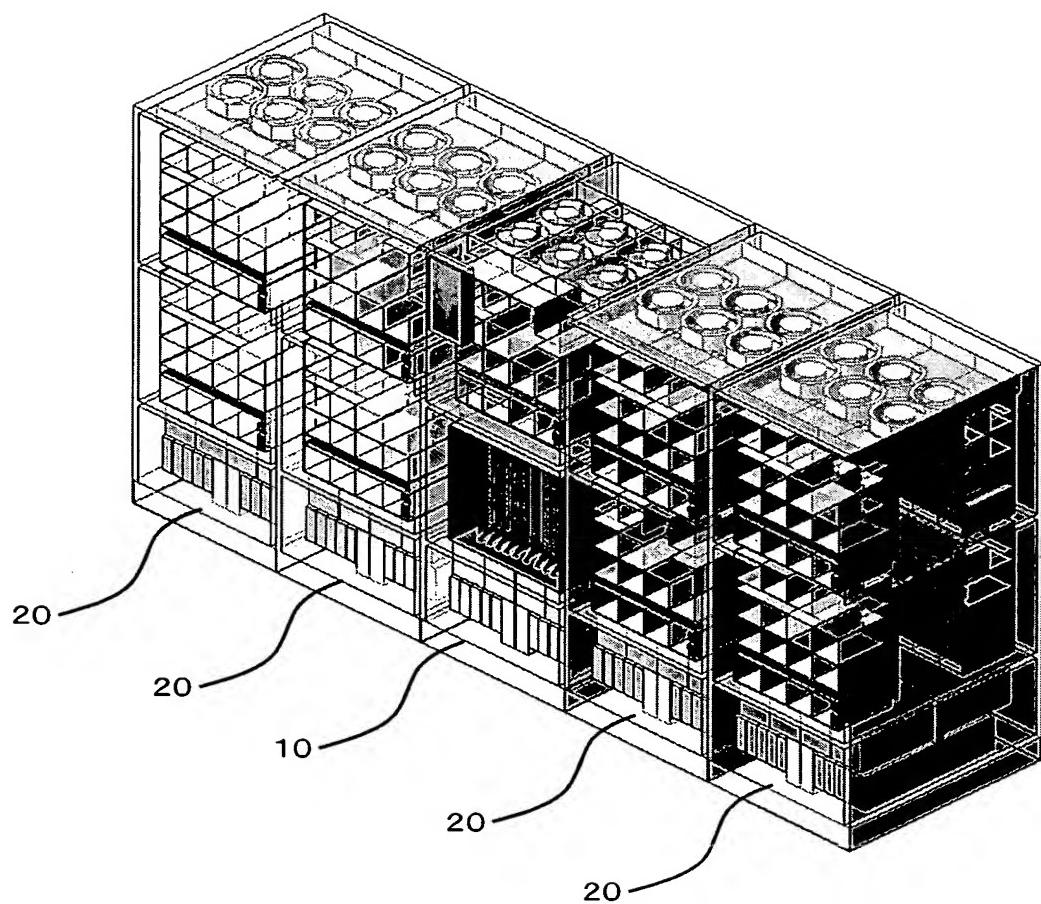
【0066】

10…ディスクアレイ制御部、20…チャネルアダプタ、20…ディスク装置、21…ディスク記憶装置、30…チャネルアダプタ（CHA）、40…ディスクアダプタ（DKA）、50…キャッシュメモリ、60…共有メモリ、70…キャッシュメモリバススイッチ、80…共有メモリバススイッチ、90…バックプレーン、90A～90C…実装領域、91…コネクタ、200…筐体フレーム、210…電源ユニット、220…制御ボックス、230…冷却ファン部、310…アダプタ基板、312…コネクタ、320…バススイッチ基板、322…コネクタ、500…バックプレーン、510…アダプタ基板、520…バススイッチ基板

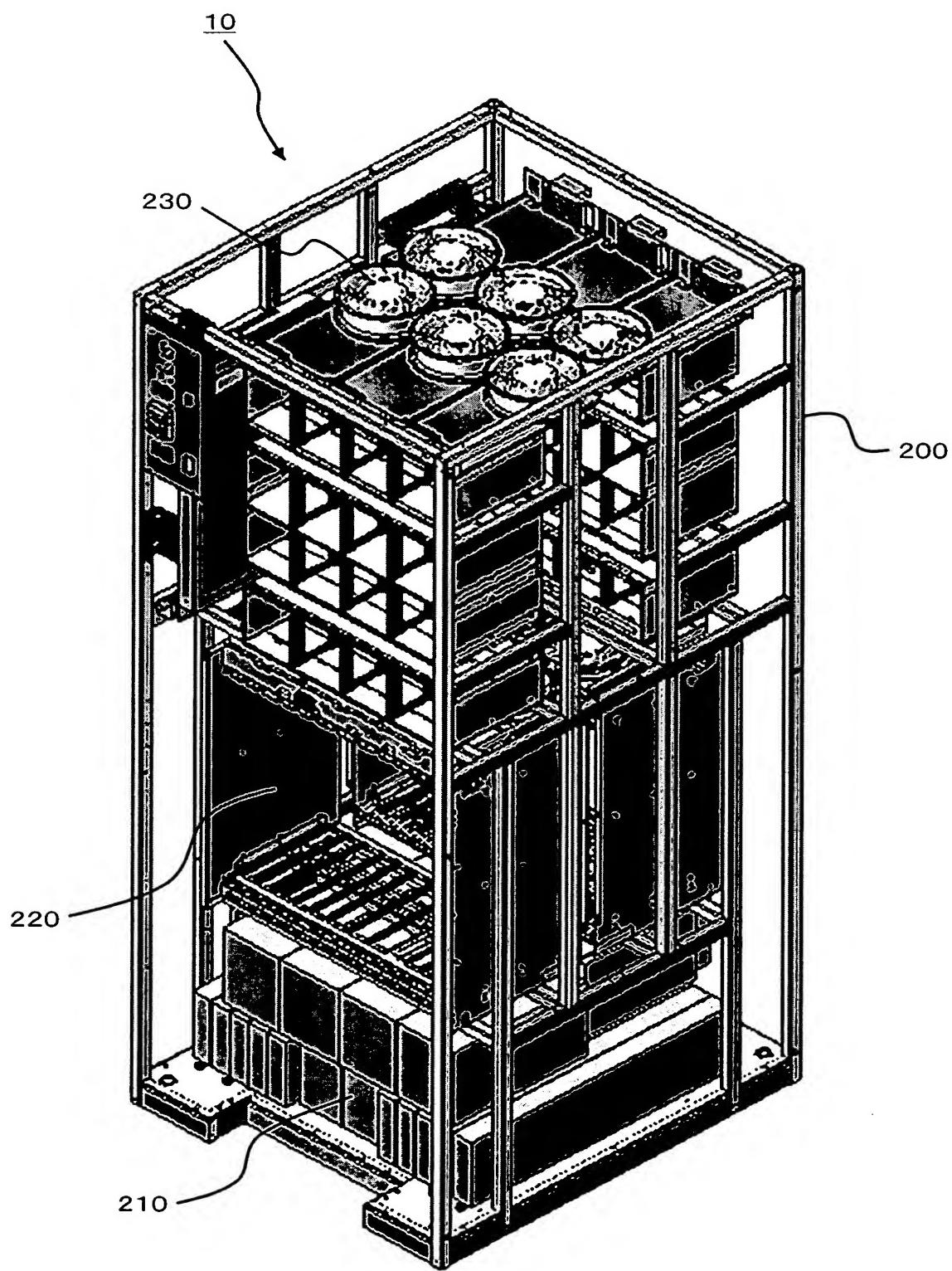
● 【書類名】図面
【図 1】



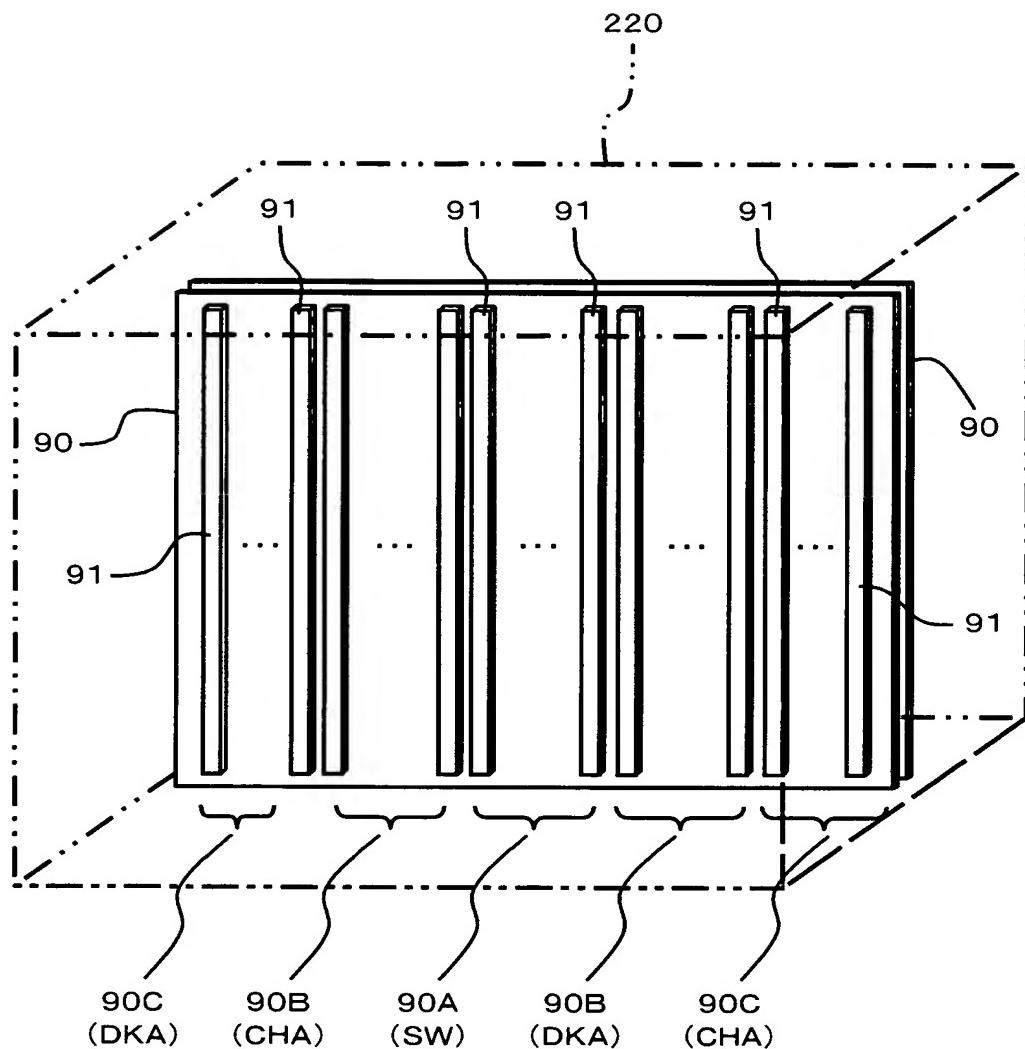
【図2】



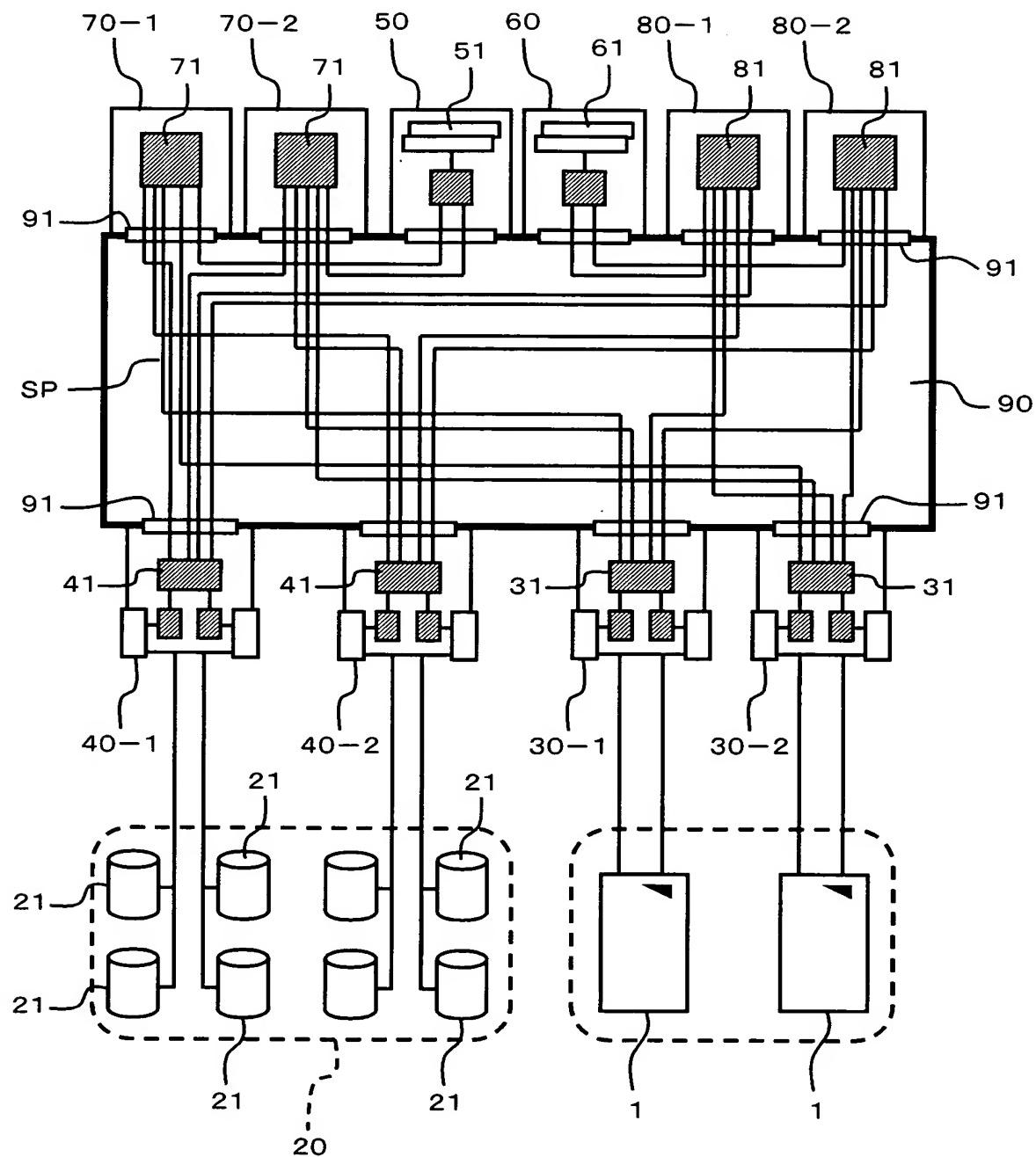
【図3】



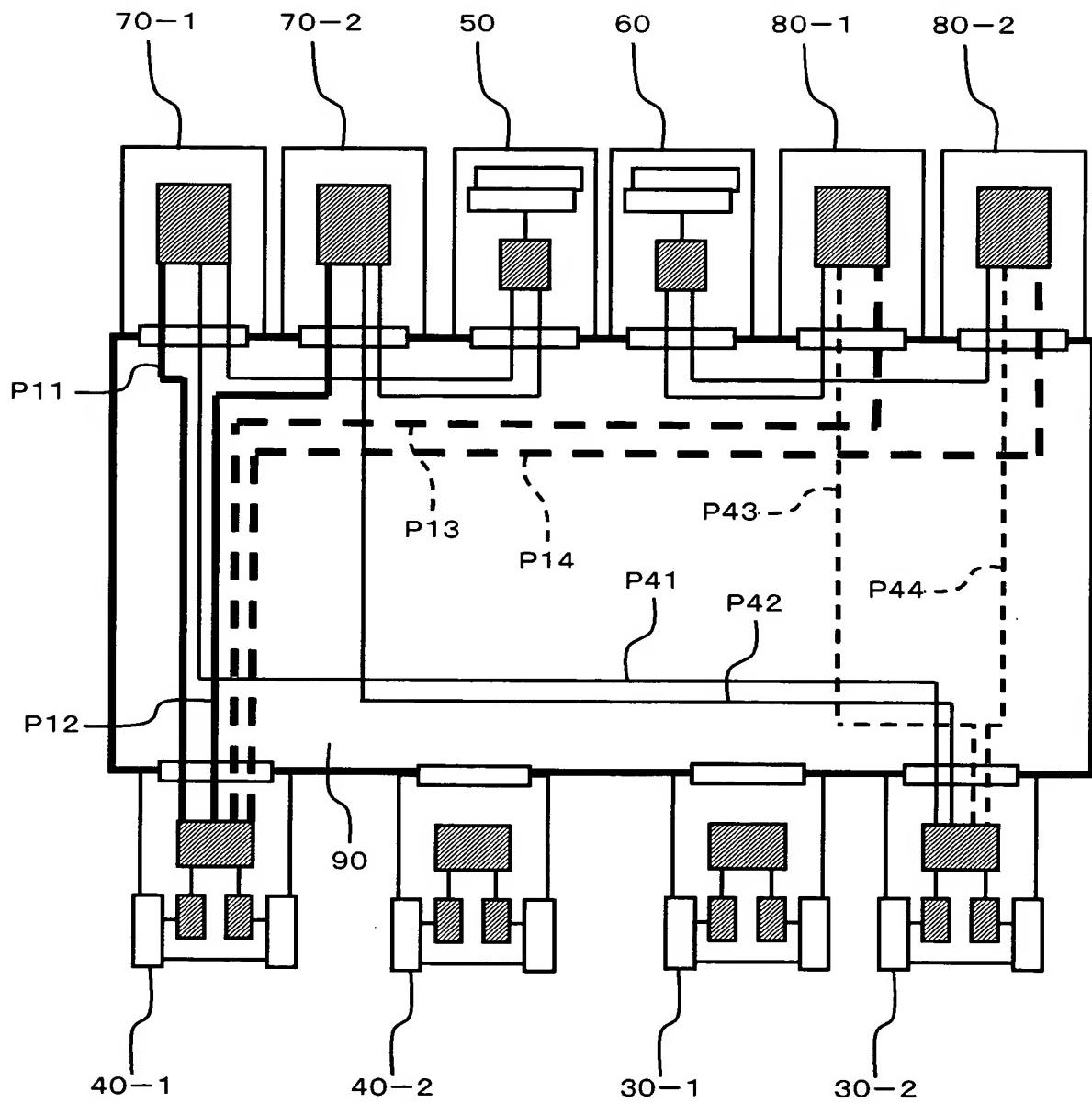
【図4】



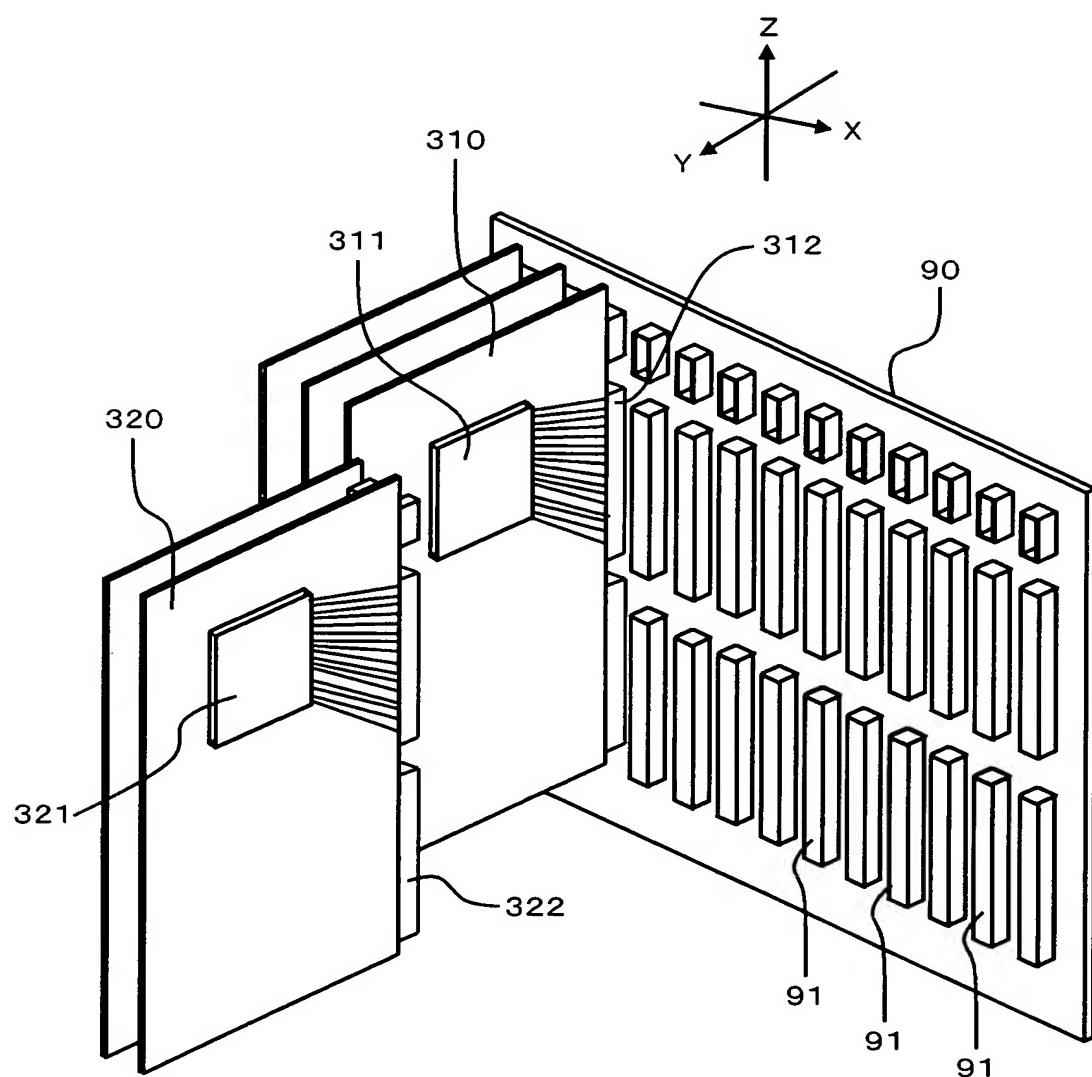
【図 5】



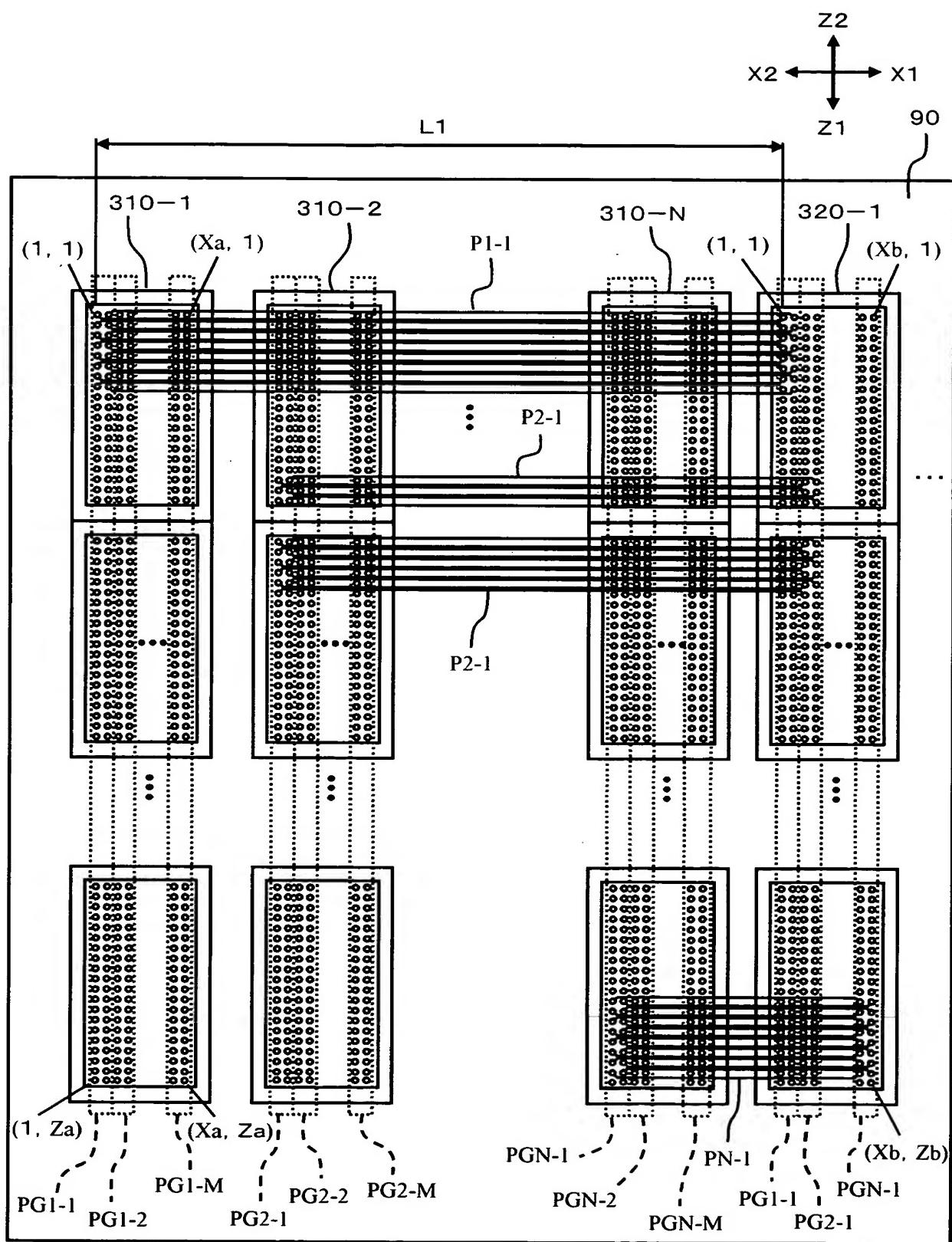
【図 6】



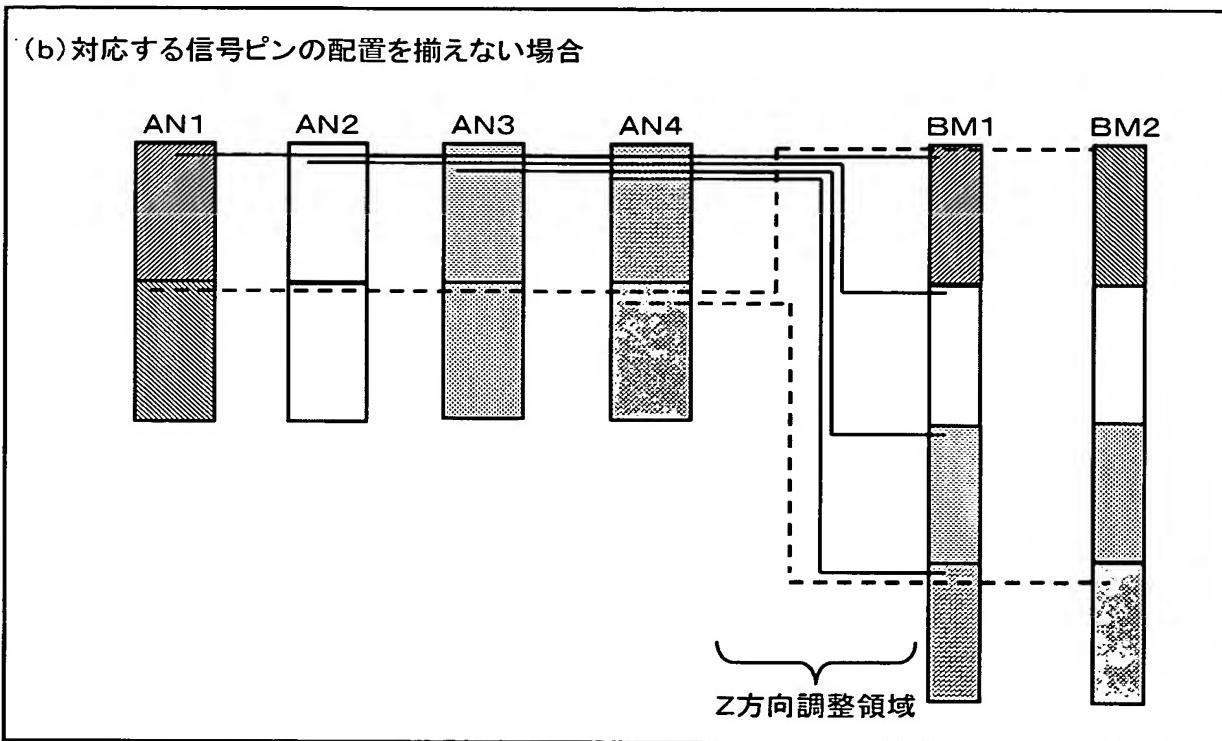
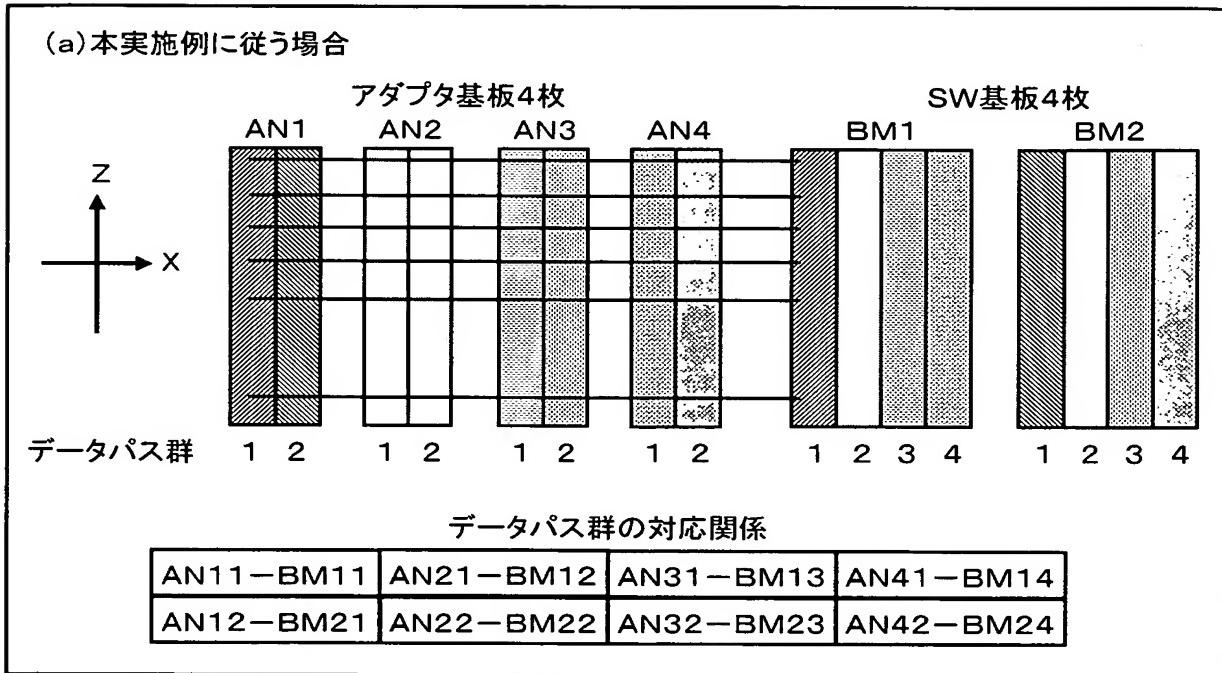
【図7】



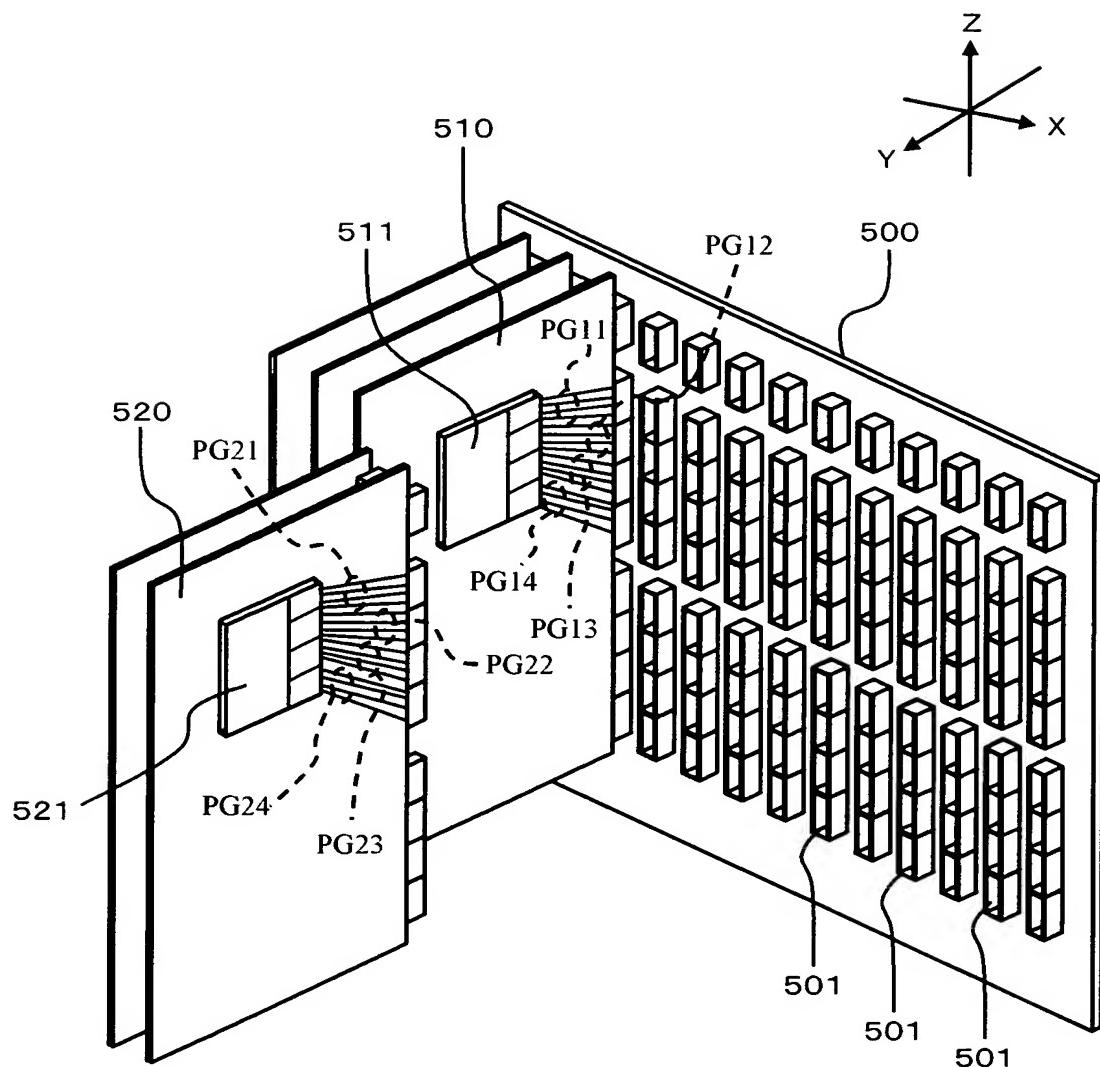
【図 8】



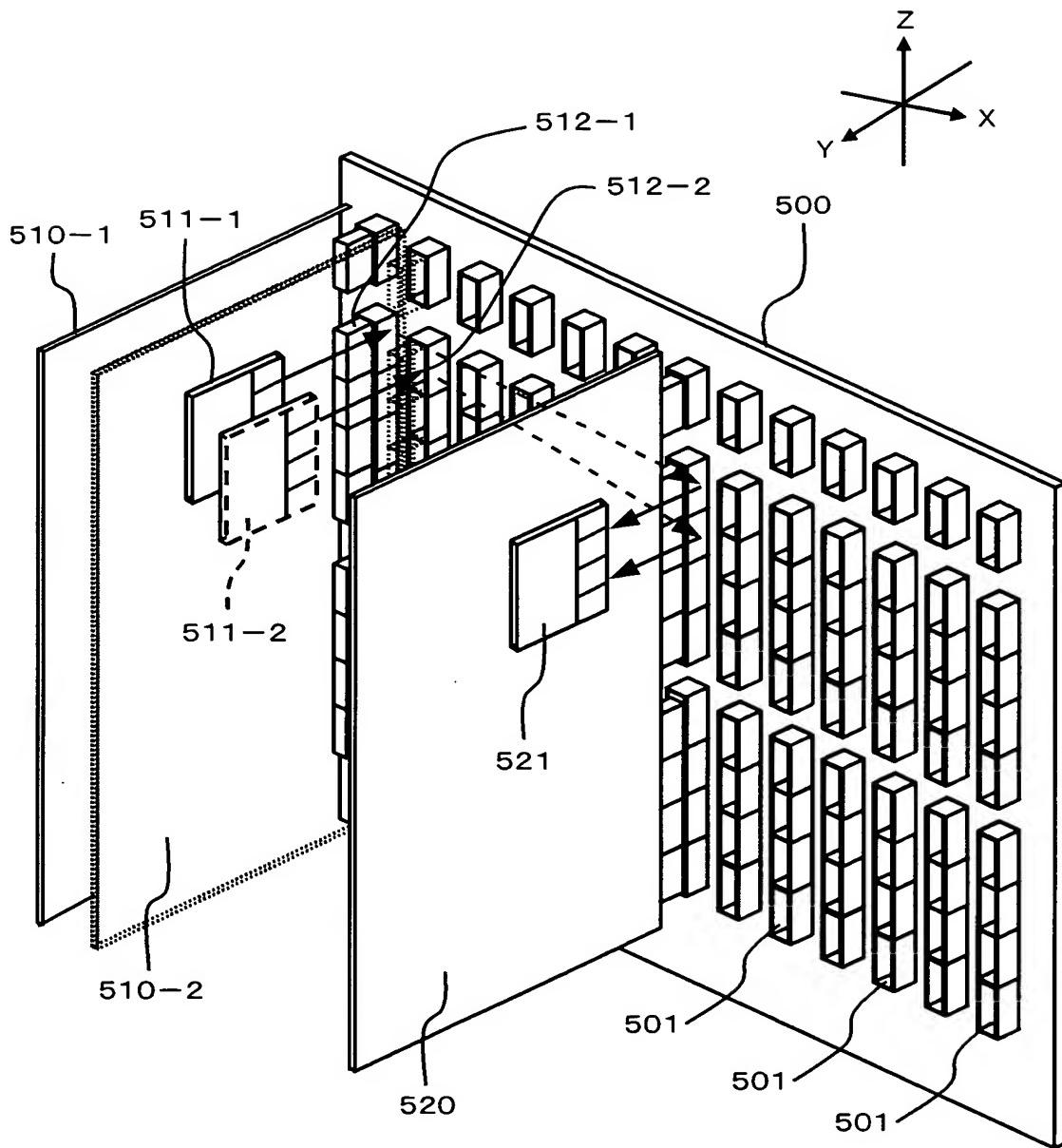
【図9】



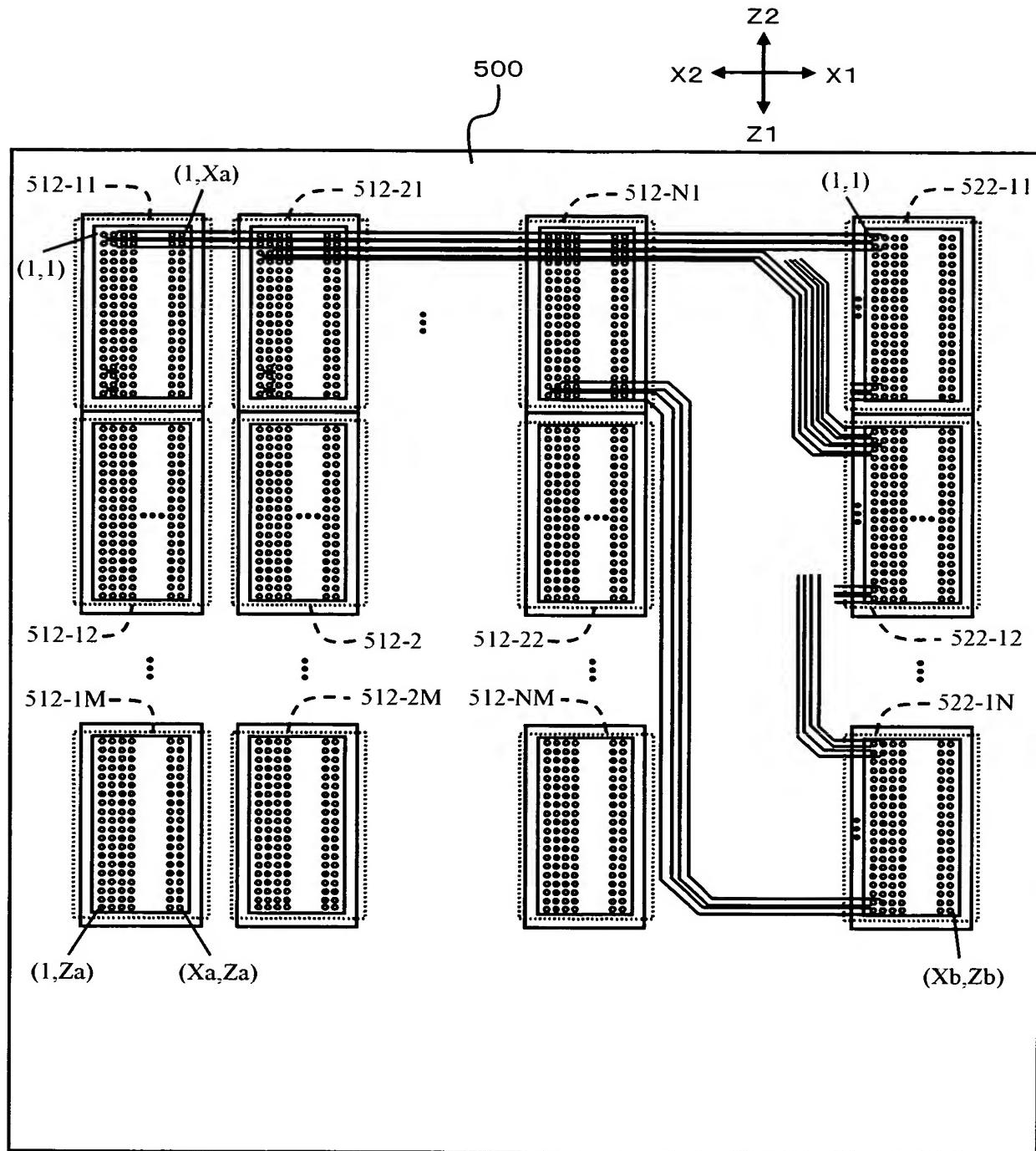
【図10】



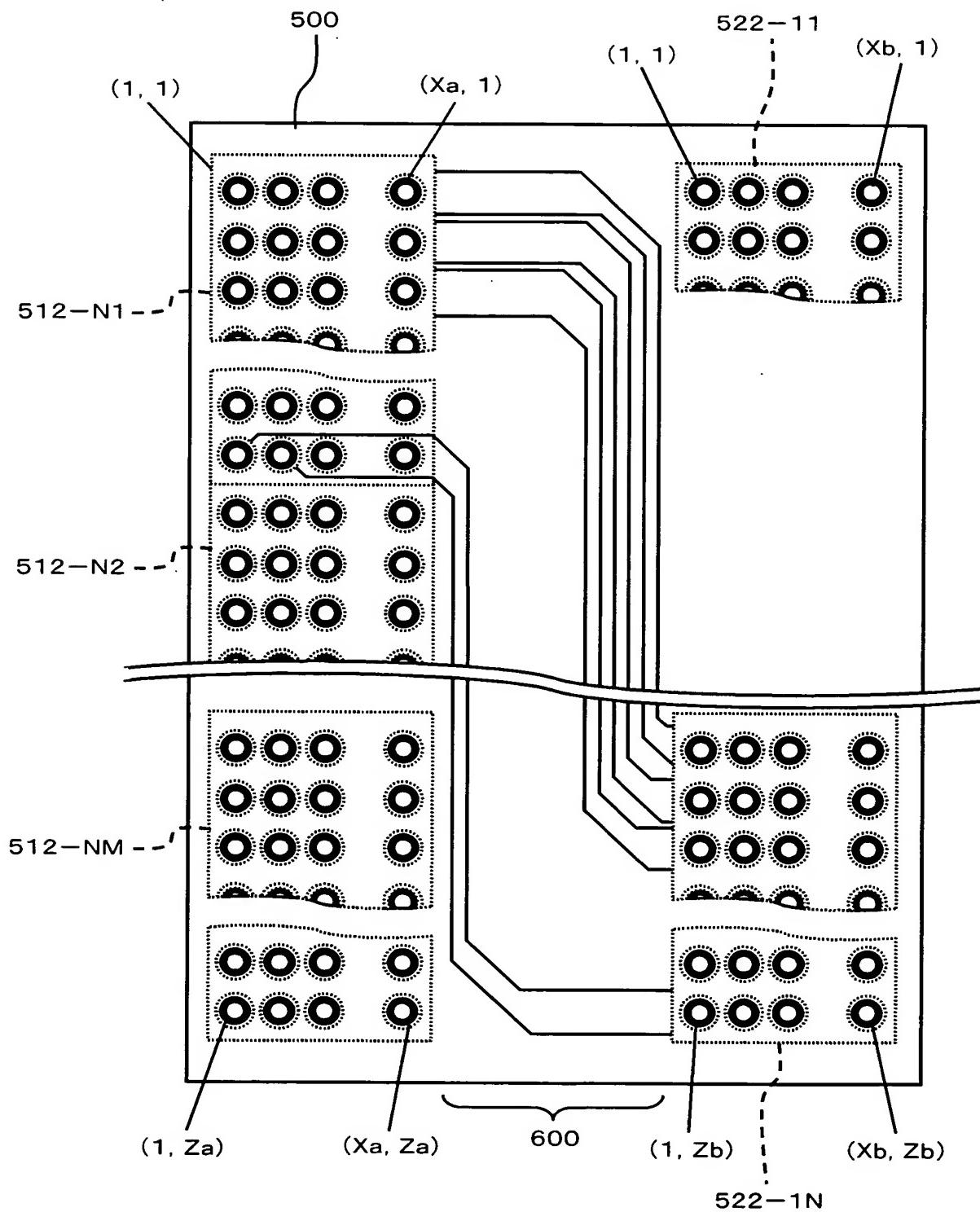
【図11】



【図12】



【図13】



【書類名】要約書

【要約】

【課題】 バックプレーンに基板を効率的に実装し、高品質な信号伝送を実現する。

【解決手段】 多層のバックプレーン90には、N枚のアダプタ基板310-1~310-Nが装着されるコネクタと、M枚のバススイッチ基板320（1枚のみ図示）が装着されるコネクタとが設けられている。アダプタ基板側コネクタの信号ピン群は、それぞれM個のデータパスにグループ化されている。アダプタ基板側コネクタの信号ピンと、この信号ピンに対応するバススイッチ基板側コネクタの信号ピンとは、同一平面上において水平になるように（Z方向の位置が略等しくなるように）設けられている。従って、対応する各信号ピンを接続する配線パターンP1-1~PN-1を略一直線状に形成できる。これにより、限られた面積に多数の基板を効率よく実装可能となる。

【選択図】 図8

認定・付加情報

特許出願の番号	特願2003-355902
受付番号	50301716641
書類名	特許願
担当官	第四担当上席 0093
作成日	平成15年10月17日

<認定情報・付加情報>

【提出日】 平成15年10月16日

特願 2003-355902

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住所 東京都千代田区神田駿河台4丁目6番地
氏名 株式会社日立製作所